

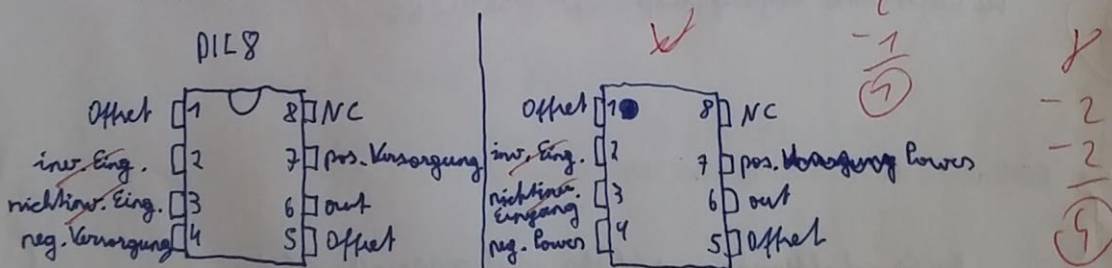
Datum: 19.11.2015	Art der Leistungsfeststellung: 1. schriftlicher Test		Wertung	Bewertung
Klasse: 5BHEL	Gegenstand: MTRS	1.)	25	18
Zeit: 20 min + VB	Lehrer: VL Dipl.-Ing. Erwin Dobart	2.)	25	21
Note:	Name des Schülers: Grossmann	3.)	25	21 1/2
	0 - 50 Nicht genügend	4.)	25	22
	51 - 62 Genügend			
	63 - 75 Befriedigend			
	76 - 89 Gut			
	90 - 100 Sehr Gut	Σ	100 Punkte	81 1/2

1) OPV allgemein

- Füllen Sie die angegebene Tabelle für eine idealen OPV aus (Abkürzung, Wert, Einheit)

	Abkürzung	Einheit	Idealer OPV
Geradeausverstärkung	V_g	[1]	∞
Frequenzabhängigkeit d. Geradeausverstärkung	A	XXXXXXXXXX	θ
Gleichtaktverstärkung	V_{gt}	[1]	0
Gleichtakteingangswiderstand	r_{egt}	[Ω]	∞
Differenzeingangswiderstand	r_{ed}	[Ω]	∞
Ausgangswiderstand	r_a	[Ω]	0

- Zeichnen Sie die typische Pin-Belegung eines realen OPV in einem Gehäuse der Bauform DIL8 und SO8 und nennen Sie Unterschiede im Pinning.



Im Pinning gibt es keinen Unterschied,
es ist das gleiche.

$$C \int_0^t i(t) dt, \quad i(t) = [u_e(t) - u_a(t)] \cdot \frac{1}{R}$$

$$\frac{du_a}{dt} = \frac{1}{C} \cdot i(t) = \frac{1}{RC} \cdot [u_e(t) - u_a(t)]$$

$$u_a + \frac{1}{RC} \cdot u_a = \frac{1}{RC} \cdot u_e$$

2.) Grundlagen des Feldeffekttransistors:

- Welche Typen des FET gibt es und welche werden bevorzugt in der Leistungselektronik hauptsächlich verwendet?

6
+ 4
7

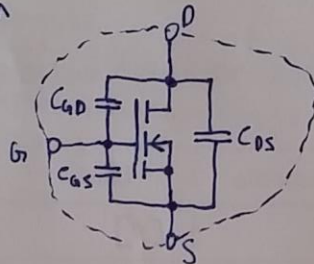
n-Kanal selbstperrend $\rightarrow$ bevorzugt
 n-Kanal selbstleitend
 p-Kanal selbstperrend $\rightarrow$ bevorzugt
 p-Kanal selbstleitend

n-Kanal selbstperrend eher als p-Kanal, der für gleiche el. Eigenschaften mit p ^{größere} Abmessungen erforderlich sind.

- Zeichnen Sie ein vereinfachtes dynamisches Ersatzschaltbild eines selbstperrenden N-Kanal FET.

7

Abkürzen



- Geben Sie die Bezeichnungen der relevanten Kapazitäten an.

5

$C_{GD} \dots C_{gate-drain} = \text{Miller Kapazität / Rückwirkungskap.}$

$C_{GS} \dots C_{gate-source}$

$C_{DS} \dots C_{drain-source}$

- Was versteht man unter der „wirksamen Eingangskapazität“?

2

die wirksame Eingangskap. $C_i = C_{GD} + C_{GS}$

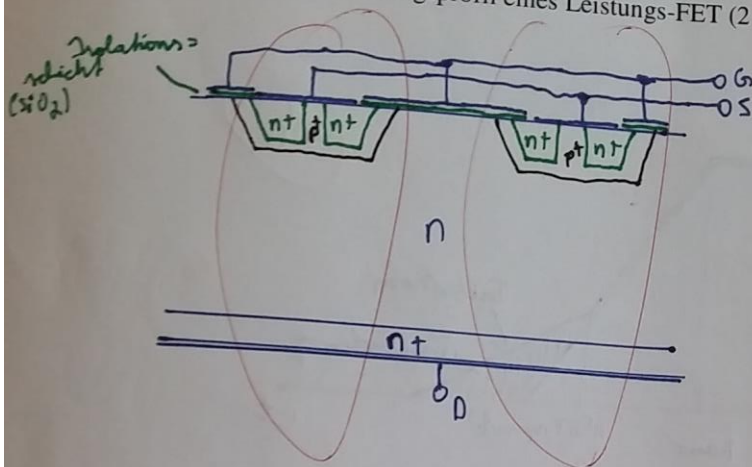
- Erklären Sie die Auswirkungen der Miller-Kapazität

5
-2
-2
7

der Einschaltvorgang ~~abdel~~ wird verzögert und der Ausschaltvorgang wird verzögert

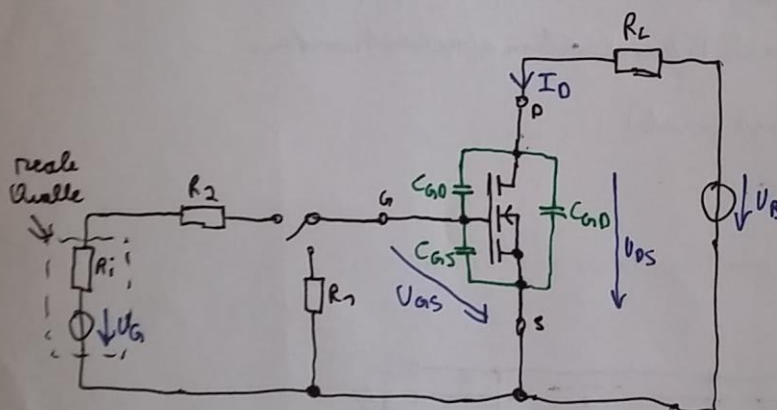
3) Leistungs-FET

- Zeichnen Sie ein Dotierungsprofil eines Leistungs-FET (2 FET-Zellen)



10
-1
P

- Geben Sie eine vollständige Schaltung für den FET als elektronischen Schalter an



10

- Wie können Sie in obiger Schaltung die Einschaltzeit verringern?

Mit dem Widerstand R_2 & dem Innenwiderstand R_i der Quelle.

Mit dem FET selbst (anderer FET)?

Einschaltzeit abhängig von $C_i, R_i + R_2$

- Wie können Sie in obiger Schaltung die Ausschaltzeit verringern?

Mit dem Widerstand R_1 ?

Mit dem FET selbst (anderer FET)

Ausschaltzeit abhängig von C_i, R_1

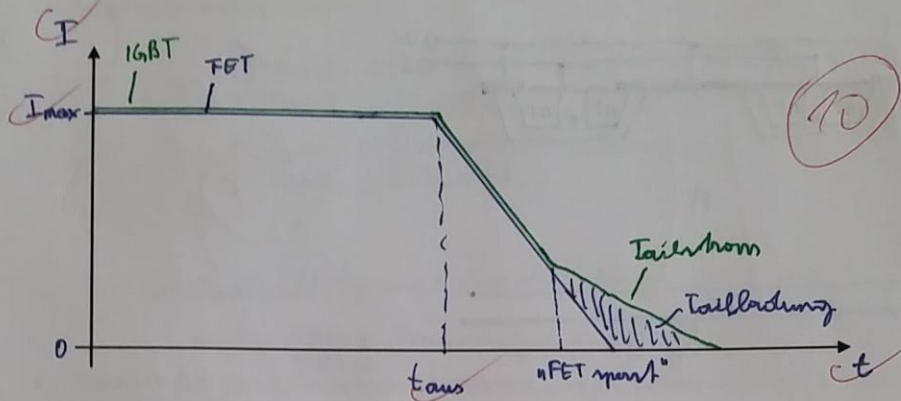
Man könnte beim Ausschalten ein neg. V_G statt R_1 verwenden

kleine
größer
-1/2
-1/2
-1/2
1/2

2
-1/2
-1/2
1/2

4) IGBT als elektronischer Schalter

- Zeichnen Sie den Verlauf des Ausschaltstromes beider Transistoren und beschriften Sie wesentliche Kenngrößen.



- Erklären sie, wodurch der Unterschied im Ausschaltverhalten zustande kommt.

Sobald der FET sperrt, ~~haben~~ befinden sich müssen die Restleichen
Lücken die sich noch in der Basis des bipolaren pnp befinden (im
Substrat), durch Rekombination abgebaut werden.

(FET sperrt bereits)

- Zeichnen Sie ein Dotierungsprofil eines Leistungs-IGBT (2 Zellen)

