

HTBLA Hollabrunn - Höhere Abteilung für Elektronik und Technische Informatik

Datum: 24.02.2016	3. Test	HWE	Aufgabe:	Wertung:	Bewertung:
Klasse: 5BHEL	Lehrer:	D U M	1	20	20
Note: 1	Wertungsskala: 0 - 50 Nicht genügend 51 - 62 Genügend 63 - 75 Befriedigend 76 - 89 Gut 90 - 100 Sehr gut		2	30	5+15+2+2
			3	15	15
			4	10	10
			5	25	25
			Summe:	100	94
Zeit: max. 15" + Vorber.	Schüler:	Gronnam			

1) Erklären Sie kurz die Bedeutung der folgenden Begriffe in Worten im Zusammenhang mit der Befehlssatzarchitektur IA32.

- a) (5P) Virtuelle Adresse / Lineare Adresse / Physikalische Adresse
- b) (5P) Segmentierung
- c) (5P) Paging
- d) (5P) Auslagerungsdatei

a) V.A.: Adresse, die der Programmierer sieht / zur Verfügung hat.

L.A.: Segmentierte Adresse (= physikal., wenn Paging deaktiviert)

P.A.: Adresse, mit der der Hauptspeicher adressiert wird

b) ~~Erweiterte~~ Stack, Variablen, ... werden in eigene Segmente aufgeteilt

c) Die Segmente werden unterteilt in Page-Frames. -> Schnellere Auslagerung, mehr Sicherheit. Wenn das Betriebssystem Platz braucht, muss es nur nachschauen, ob die Page frei ist.

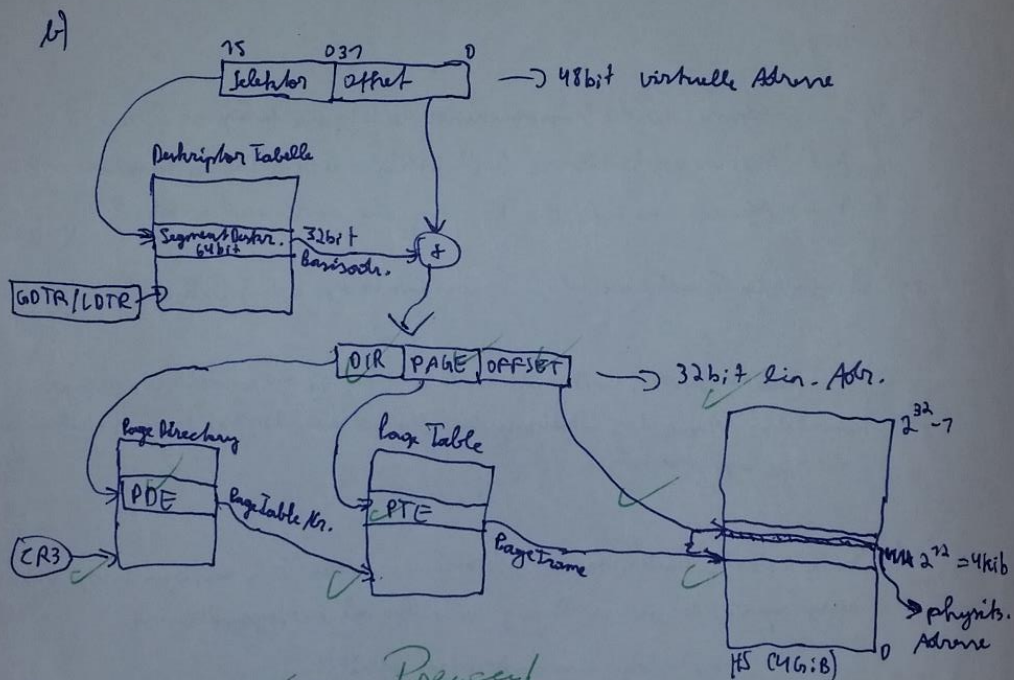
d) Sind zu viele Daten im Hauptspeicher, werden Teile auf den Festplatten-Speicher ausgelagert. Das ist bei Paging schneller als bei Segmentierung.

↳ Auslagerungsdatei wird erstellt

2) Bei IA32 mit einer 32 Bit breiten linearen Adresse (10 Bit breites DIR-Feld und 4kiB große Pages) wird die physikalische Hauptspeicheradresse durch „Paging“ gebildet.

- (5P) Benennen Sie die drei Felder, welche die lineare Adresse bilden und geben Sie an, wie groß (in Bit-Breite) sie sind.
- (15P) Beschreiben Sie anhand einer Skizze, wie die physikalische Hauptspeicheradresse für einen maximal 4 GiB großen Speicher gebildet wird.
- (5P) Wie kann die CPU erkennen, dass eine Page nicht im Speicher vorhanden ist und wie nennt man den Vorgang, wenn auf eine nicht existente Page zugegriffen werden soll?
- (5P) Argumentieren Sie, warum ein Computer ohne Paging normalerweise nicht gut funktionieren wird.

a) (Direktory)
 DIR PAGE OFFSET
 10b 10b 12b



c) Durch ein Dirty-Bit.
 Man nennt es Page-Miss.

d) Es laufen alle viele Prozesse parallel (bei PCs) und die Aus-/Einlagerungen würden viel zu lange dauern.

Argument?

3) a) (5P) Bei einer typischen Anwendung für ein Parallelrechnersystemen mit p Prozessoren sei der parallelisierbare Anteil 96% der gesamten Rechenzeit T . Die Kommunikation der Prozessoren untereinander sei vernachlässigbar. Berechnen Sie die Kenngröße „Speed up“, wenn das Rechnersystem mit 4 Prozessoren ausgeführt wird.

b) (5P) Berechnen Sie die Effizienz für das 4-Prozessor System.

c) (5P) Um welchen Faktor würde sich die Performance theoretisch steigern, wenn unendlich viele Prozessoren eingesetzt würden.

$$\begin{aligned} a) \quad T_{\text{neu}} &= \frac{T_{\text{par}}}{p} + T_{\text{nichtpar}} \\ T_{\text{neu}} &= \frac{0,96 T_{\text{alt}}}{4} + 0,04 T_{\text{alt}} = 0,28 T_{\text{alt}} \\ SV &= \frac{T_{\text{alt}}}{T_{\text{neu}}} = \frac{1}{0,28} = \frac{25}{7} \approx 3,57 \quad \checkmark \end{aligned}$$

$$b) \quad E = \frac{SV}{p} = \frac{25}{28} \approx 89,3\% \quad \checkmark$$

$$\begin{aligned} c) \quad P_{\text{neu}} &= \frac{1}{\frac{T_{\text{par}}}{p} + T_{\text{nichtpar}}} \\ \text{für } 1: \quad P_{\text{neu}} &= \frac{1}{\left(\frac{0,96}{1} + 0,04\right) T_{\text{alt}}} = 1 \cdot \frac{1}{T_{\text{alt}}} = 1 \cdot \text{alt} \\ \text{gegen } \infty: \quad P_{\text{neu}} &= \frac{1}{0,04 T_{\text{alt}}} = 25 \cdot \frac{1}{T_{\text{alt}}} = 25 \cdot \text{alt} \quad \checkmark \end{aligned}$$

Erwünschte sich um den Faktor 25 steigern $\checkmark$

4) In einer typischen Anwendung einer embedded CPU werden für Floating-Point-Berechnungen 75% der gesamten Rechenzeit verwendet. Durch Einsatz einer Spezial-Alu soll die neue Performance auf das Doppelte des alten Wertes gesteigert werden.

a) (5P) Formulieren Sie die Aufgabe in Bezug auf die Rechenzeiten der Anwendung. *Formel*

b) (5P) Geben Sie das für die Lösung des Problems relevante Gesetz an und berechnen Sie, um welchen Faktor die Geschwindigkeit der Spezial-ALU bezogen auf die bisherige Alu gesteigert werden muss.

$$a) \quad T_{\text{neu}} = \frac{T_{\text{unverbar}}}{VF} + T_{\text{nichtverbar}} \rightarrow \frac{T_{\text{alt}}}{2} = \frac{0,75 T_{\text{alt}}}{VF} + 0,25 T_{\text{alt}}$$

Die neue Zeit muss auf die Hälfte sinken.

b) $\rightarrow$ Induktionsgesetz

$$\frac{1}{2} = \frac{0,75}{VF} + 0,25$$

$$\underline{VF = 3} \quad \checkmark$$

5) Die Messung der Leistungsfähigkeit von Rechnern ist nicht nur für das Marketing sondern auch für den Vergleich von Rechenanlagen wichtig. In einem Test führt die CPU des Testsystems $N=2E10$ Befehle in $T=30,0$ Sekunden aus und wird mit einer Taktfrequenz von $f_{cy} = 500$ MHz betrieben.

a) (15P) Übersetzen Sie die Abkürzungen IPC, CPI, MIPS in Ihre Langform und berechnen Sie die Werte für die angegebene CPU.

b) (5P) Welche Speicherbandbreite SB in GByte/s ist erforderlich, wenn pro Befehl 6 Byte aus dem Cache-Speicher geholt werden müssen?

c) (5P) Angenommen der Cache-Speicher sei mit 16 Byte Busbreite an die CPU angebunden. Welche Zykluszeit dürfte der Speicher höchstens aufweisen, damit er die Daten immer ohne Wartezyklen liefern kann?

a) IPC: Instructions per Clock Cycle ✓

$$IPC = \frac{N_{Instr.}}{T \cdot f_{cy}} = \frac{2 \cdot 10^{10}}{30 \cdot 500 \cdot 10^6} = \underline{1,33 IPC}$$

CPI: Cycles per Instruction ✓

$$CPI = \frac{1}{IPC} = \underline{0,75 CPI}$$

MIPS: Million Instructions per Second ✓

$$MIPS = \frac{IPC \cdot f_{cy}}{10^6} = \underline{666,6 MIPS}$$

b) pro Instr.: 6 Byte = x

$$SB = x \cdot MIPS \cdot 10^6 = 4000000000 \text{ Byte/s} \rightarrow \underline{4 \text{ GByte/s}}$$

c) 16 Byte Busbreite

$$t_{zyklus} = \frac{16 \text{ Byte}}{4 \text{ GByte/s}} = \underline{4 ns}$$