

2. A/D – D/A Umsetzer

2.1 Allgemeines:

AD-Umsetzer: Übersetzt analoge Spannungen bzw. einen analogen Spannungswert in eine entsprechende Zahl um diese digital zu verarbeiten oder zur Anzeige zu bringen. Diese Zahl Z ist in der Regel proportional dem Spannungswert der Eingangsspannung U_e .

$$Z[\] = \frac{U_E[V]}{U_{LSB}[V]}$$

$$Z = 1 \rightarrow U_E = U_{LSB}$$

DA-Umsetzer: übersetzt eine Zahl n in einen entsprechenden analogen Spannungswert. Der Spannungswert ist proportional der eingegebenen Zahl.

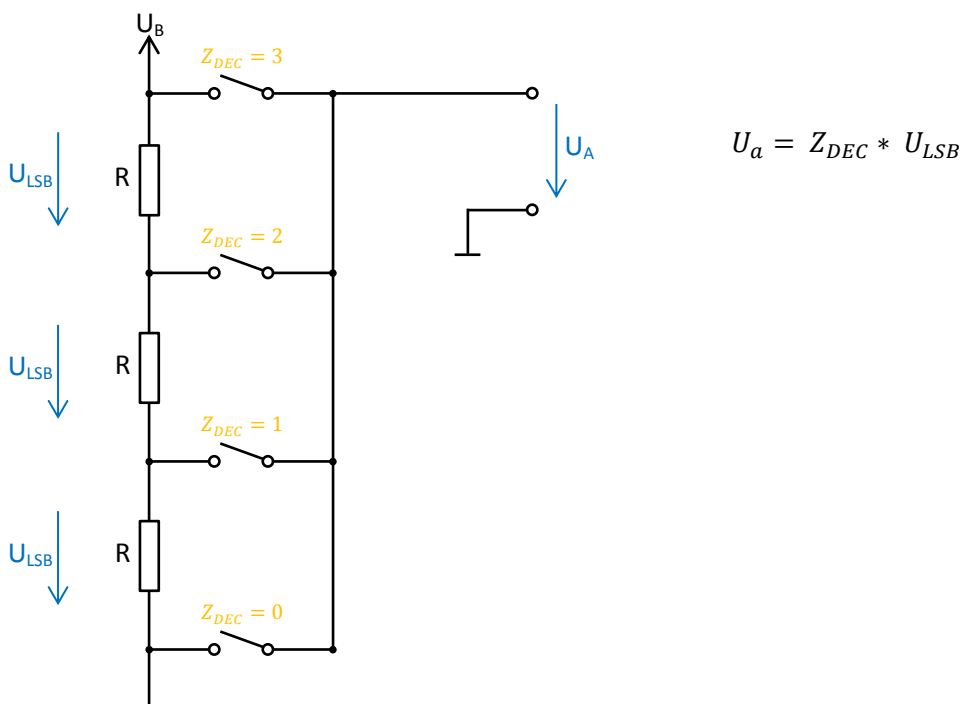
$$U_a = U_{LSB} * Z$$

2.2 Grundprinzipien DA-Umsetzer:

Prinzipiell unterscheidet man bei DA-Umsetzung:

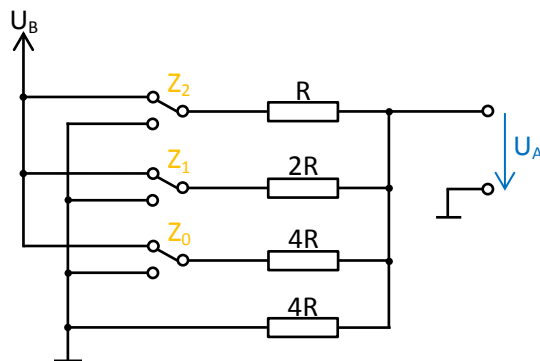
- Parallelverfahren
- Wägeverfahren
- Zählverfahren

2.2.1. Parallelverfahren



Beim Parallelverfahren werden mit einem Spannungsteiler die benötigten Ausgangsspannungen bereitgestellt, jeder Schalter entspricht einer Zahl Z_{DEC} . Wird dieser Schalter geschlossen, ergibt sich eine zu dieser Zahl proportionale Ausgangsspannung $U_a = Z_{DEC} * U_{LSB}$.

2.2.2. Wägeverfahren

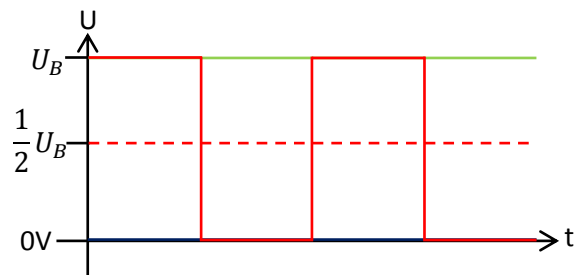
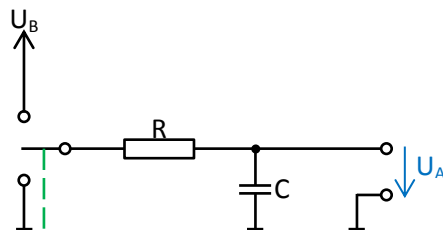


$$Z_{BIN} = (Z_2, Z_1, Z_0)$$

$$Z_{DEC} = Z_2 * 2^2 + Z_1 * 2^1 + Z_0 * 2^0$$

Beim Wägeverfahren wird über so genannte gewichtete Widerstände die Ausgangsspannung U_a aufsummiert, jeder Schalter entspricht einem Bit der Zahl Z_{BIN} . Die Schalter werden entsprechend dem Binärwert geschlossen und damit die zu dieser Zahl gehörige proportionale Spannung ausgegeben. $Z_{DEC} = 3 \rightarrow Z_{BIN} = \begin{smallmatrix} 0 & 1 & 1 \\ Z_2 & Z_1 & Z_0 \end{smallmatrix}$

2.2.3. Zählverfahren



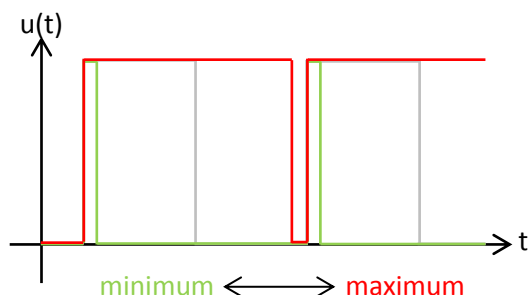
Ansteuerung: $U_B : 0V$

100% : 0%	$\rightarrow$	$U_A = U_B * 1$
50% : 50%	$\rightarrow$	$U_A = U_B * \frac{1}{2}$
0% : 100%	$\rightarrow$	$U_A = U_B * 0$

Tastverhältnis

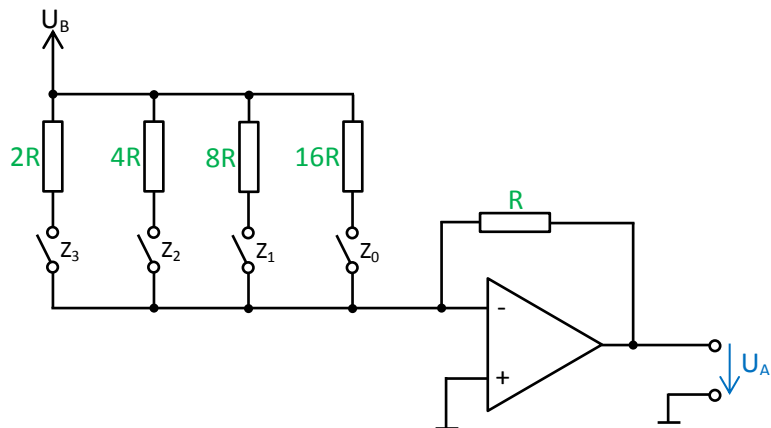
→ „PWM-Signal“ (Puls Weiten Modulation)

Das Zählverfahren benötigt nur einen Schalter, welcher periodisch geöffnet und wieder geschlossen wird, das Tastverhältnis wird über ein PWM-Signal geändert, sodass sich eine der Zahl proportionale Ausgangsspannung (arithmetischer Mittelwert) U_a ergibt.



2.3 Realisierung eines DA-Wandlers in C-MOS-Technologie

2.3.1. Summation gewichteter Ströme



$$Z_{BIN}(Z_3, Z_2, Z_1, Z_0)$$

$$U_A = -U_V * \frac{Z_{DEC}}{1 + Z_{MAX_DEZ}}$$

Die einzelnen Widerstände sind so gewählt, dass bei geschlossenen Schalter Z_x ein Strom fließt, der dem Stellenwert der Dualzahl 2^x entspricht. Für eine logische 0 ist der Schalter der entsprechenden Stelle geöffnet, für eine logische 1 geschlossen. Die Teilströme der einzelnen Stellen werden ohne gegenseitige Beeinflussung durch den Operationsverstärker aufsummiert.

Bsp.: 4-bit DA-Wandler:

$$Z_{BIN} = (0110)$$

$$Z_{DEC} = 0 * 2^3 + 1 * 2^2 + 1 * 2^1 + 0 * 2^0 = 6$$

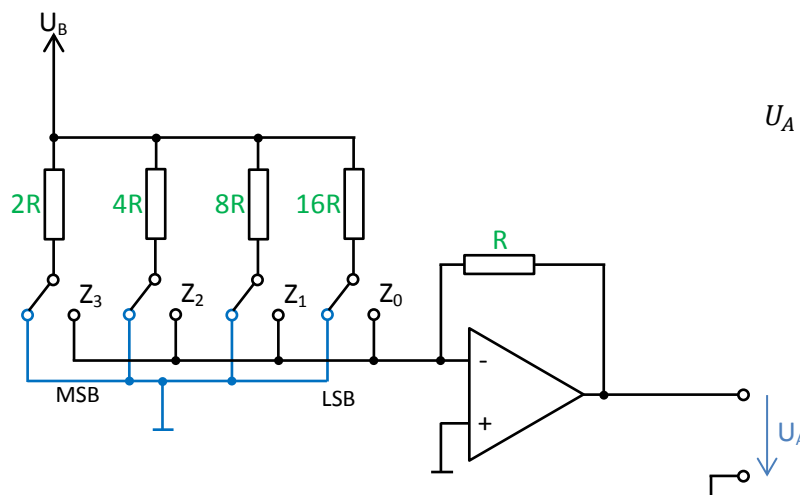
$$U_A = -U_V * \frac{Z_{DEC}}{1 + Z_{MAX_DEC}} = -U_V * \frac{6}{1 + 15} = -U_V * \frac{6}{16} = -U_V * \frac{3}{8}$$

Nachteile:

- großer Widerstandsbereich ist zu realisieren (4bit: R bis 16R, in Halbleitern schlecht realisierbar)
- große Potentialschwankungen am Schalter zwischen offenem und geschlossenem Schalter -> bei jedem Umschaltvorgang müssen parasitäre C's umgeladen werden.

Verbesserung: statt einfacher Schalter Wechselschalter

2.3.2. Umsetzer mit Wechselschalter



$$U_A = -U_B * \frac{Z_{DEC}}{1 + Z_{MAX_DEC}}$$

Setzt man die Wechselschalter so ein wie in der Schaltung, so erfolgt die Umschaltung zwischen Masse (blau) auf „Masse“ des invertierenden Einganges des Verstärkers (schwarz). Es sind daher keine parasitären C's umzuladen, die Ströme durch die Widerstände bleiben konstant und damit ergibt sich eine gleichbleibende Belastung der Referenzspannungsquelle U_B .

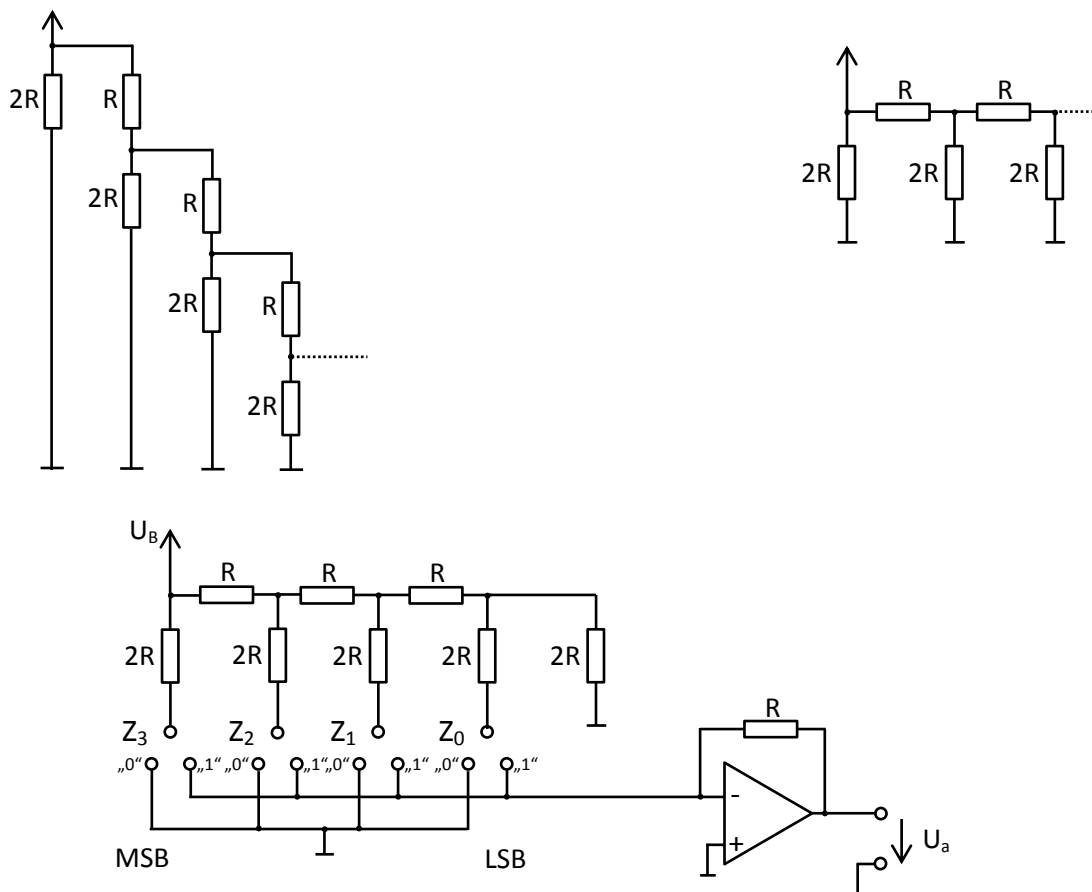
$$R_L = R * \frac{Z_{MAX_DEC} + 1}{Z_{MAX_DEC}}$$

Beispiel: siehe 2.3.1

Nachteil: großer Widerstandsbereich (4bit: $R \dots 16R$) in Halbleiter schlecht realisierbar

Verbesserung: Einsatz eines so genannten Leiternetzwerkes (R-2R-Netzwerk)

2.3.3. Leiternetzwerk (R-2R-Netzwerk)

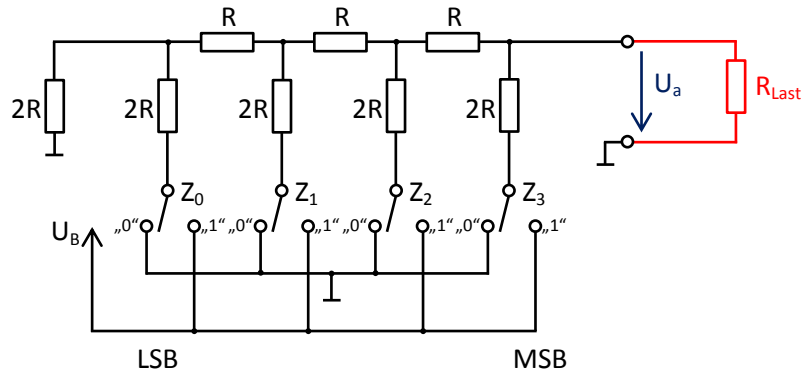


Die Realisierung der gewichteten Ströme wird durch Anwendung einer fortgesetzten Spannungsteilung mit Hilfe eines so genannten Leiternetzwerkes erzeugt. Unabhängig von der Anzahl der zu realisierenden Bits bleibt der benötigte Widerstandsbereich immer gleich ($R, 2R$). Bei Binärkodierung werden die Widerstandswerte $R, 2R$ benötigt, wobei bei der Umsetzung im Halbleiter $2R$ durch eine Serienschaltung von 2 gleich großen Widerständen realisiert wird.

$$U_A = -U_V * \frac{Z_{DEC}}{1 + Z_{DEC_MAX}}$$

In CMOS-Technologie wird üblicherweise obige Leiternetzschaltung verwendet (R-2R-Netzwerk mit OPV) oder alternativ die so genannte inverse Leiternetzschaltung (R-2R-Netzwerk ohne OPV)

2.3.4. Inverses Leiternetz



$$U_A = U_B * \frac{Z_{DEC}}{1 + Z_{DEC_{MAX}}} * \frac{R_{Last}}{R + R_{Last}}$$

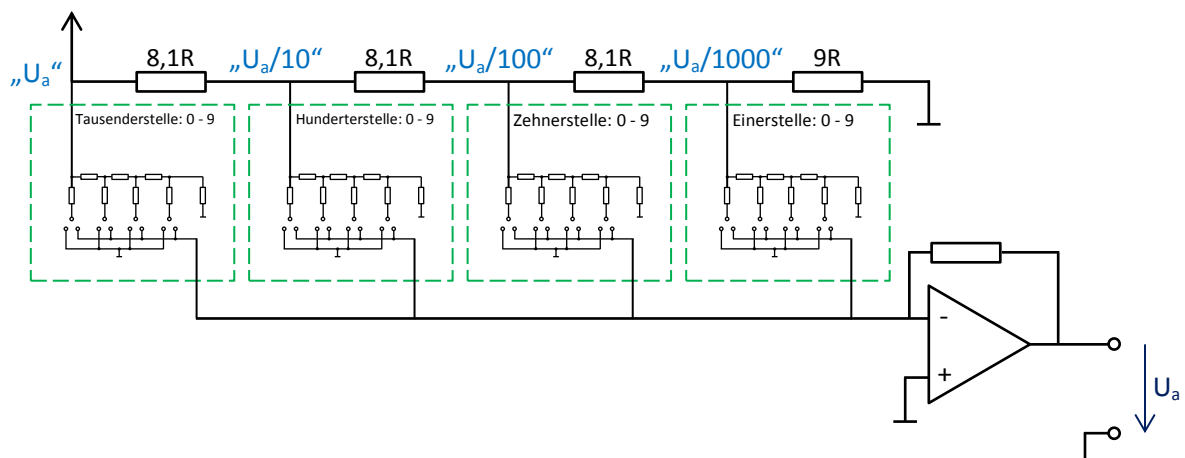
Beim inversen Leiternetz wird Ein- und Ausgang des Leiternetzwerks vertauscht und auf den Summationsverstärker verzichtet. Diese Schaltung wird bei Umsetzern mit einem Spannungsausgang verwendet.

Nachteile:

- Großer Spannungsunterschied bei den Umschaltern („0“ ist Masse, „1“ ist U_B)
- Referenzspannungsquelle U_B weist unterschiedliche Belastung auf, je nach Schalterstellung

2.3.5. Leiternetz mit Dekadenkopplung

(nicht Teststoff)



Zur Umsetzung BCD-Zahlen modifiziert man ein Leiternetz. Das Grundlegende Leiternetz (schwarz) wird für Dezimalzahlen aufgebaut, jede Stelle in diesem Leiternetz entspricht der Stelle einer Dezimalzahl (Tausender, Hunderter, Zehner, Einer). An jeder dieser Stellen wird ein 2. Leiternetz eingebettet um für jede Stelle die Ziffern 0...9 darstellen zu können (4bit)

$$Z_{DEZ} = ("Tausender", "Hunderter", "Zehner", "Einer")_{DEZ}$$

0...9

0...9

0...9

0...9

$$Z_{DEZ} = (Z_{TausenderDEZ}, Z_{HunderterDEZ}, Z_{ZehnerDEZ}, Z_{EinerDEZ})_{DEZ}$$

$$Z_{DEZ} = \frac{Z_{TausenderDEZ}}{1} + \frac{Z_{HunderterDEZ}}{10} + \frac{Z_{ZehnerDEZ}}{100} + \frac{Z_{EinerDEZ}}{1000}$$

$$U_a = -\frac{U_B}{16} * Z_{DEZ}$$

2.4 Fehler von D/A-Umsetzer

2.4.1. Statische Fehler

- Nullpunktfehler

Nullpunktfehler bedeutet: $Z = 0$ aber $U_a \neq 0$

Grund:

- geöffneter elektronischer Schalter = Transistor im Sperrbetrieb, Kollektor-Emitter-Reststrom
- realer OPV hat eine Offsetspannung

- Vollausschlagfehler

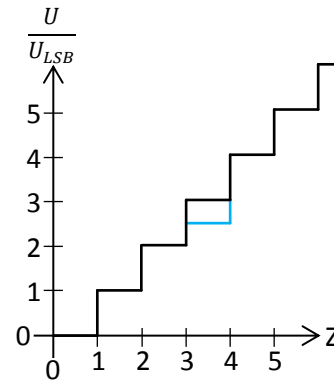
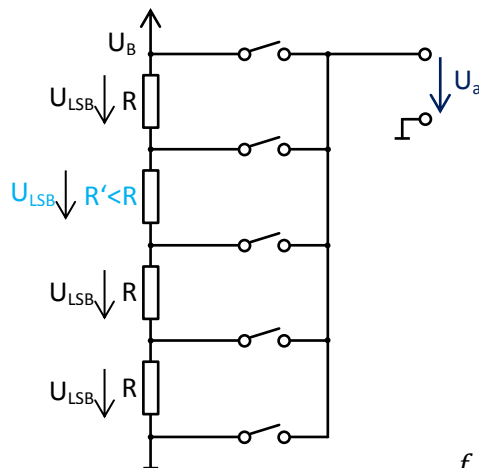
Der Vollausschlagfehler entsteht durch die „EIN“-Widerstände eines geschlossenen Schalters.

Grund:

- Leitender Transistor hat im gesättigten Zustand einen Durchlasswiderstand
- Durch den Gegenkopplungswiderstand R am OPV bzw. durch die Ausgangstransistoren Änderung der maximal erreichbaren Ausgangsspannung (reduzierter „Output-Swing“)

Beide Ursachen können entweder Schaltungstechnisch bzw. durch einen Abgleich reduziert bzw. behoben werden.

- Linearitätsfehler



$$f_{\text{nichtlinearMAX}} = \pm \frac{1}{2} * U_{\text{LSB}}$$

Die Nichtlinearität gibt an, wie groß die Abweichung im ungünstigsten Fall größer oder kleiner als 1 LSB ist. Nichtlinearität kann durch Abgleichen NICHT behoben werden!

- Monotoniefehler

Gute D/A-Wandler haben keine Monotoniefehler.

$$\text{Monotoniefehler} = f_{\text{Nichtlinear}} > 1 \frac{1}{2} U_{\text{LSB}}$$

Ist der Linearitätsfehler größer als $\frac{1}{2} U_{\text{LSB}}$, sinkt die Ausgangsspannung ab, obwohl die Zahl um 1 erhöht wurde.

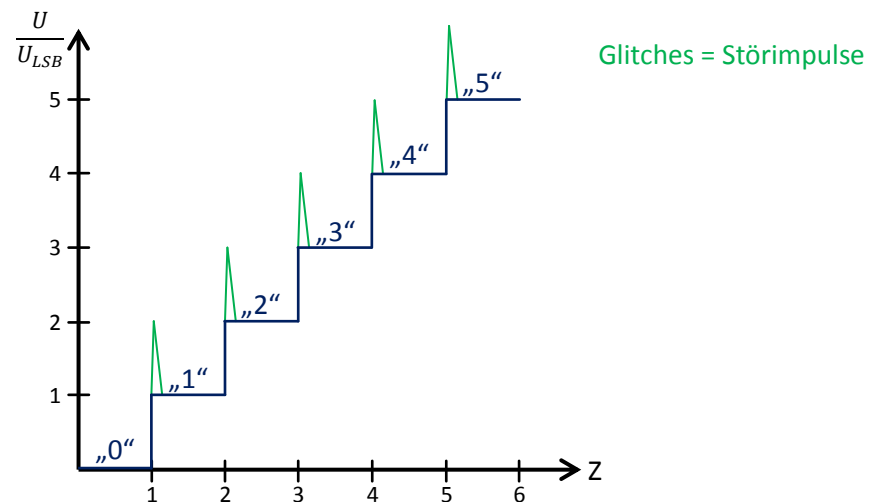
2.4.2. Dynamische Fehler

- Einschwingzeit

Die Einschwingzeit gibt an, wie lange es dauert bis bei einer Umschaltung von $Z = 0$ auf $Z = Z_{\text{max}}$ die Ausgangsspannung einen stationären Wert mit einer Genauigkeit von $\pm \frac{1}{2} U_{\text{LSB}}$ erreicht hat (Hängt von Z_{max} ab, von der Auflösung = Anzahl der Bits). Die Zeit verlängert sich zusätzlich, wenn am Ausgang ein OPV verwendet wird.

Kurze Einschwingzeiten in CMOS erreicht man mit dem inversen Leiternetzwerk (OPV)
typisch: paar μs

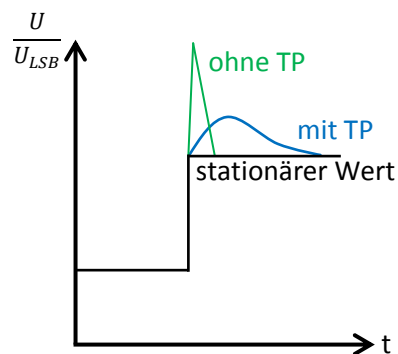
- Glitches



Glitches sind Störimpulse, die beim Übergang von einer Zahl auf eine andere auftreten. Häufigste Ursache für Glitches sind unterschiedliche Schaltzeiten bei den elektronischen Schaltern. Kritisch ist normalerweise die Bereichsmitte (z.B. MSB = 1, alle anderen 0 -> Umschaltung nächstkleinere Zahl MSB = 0, alle anderen 1; entspricht worst case: kurzzeitig alle bits auf „1“ -> kurzzeitig $U_a = U_{aMAX}$ -> Glitch)

Durch nachgeschaltete Tiefpässe kann die maximale Glitchspannung verkleinert werden, jedoch bleibt die Energie konstant.

typisch: μV s



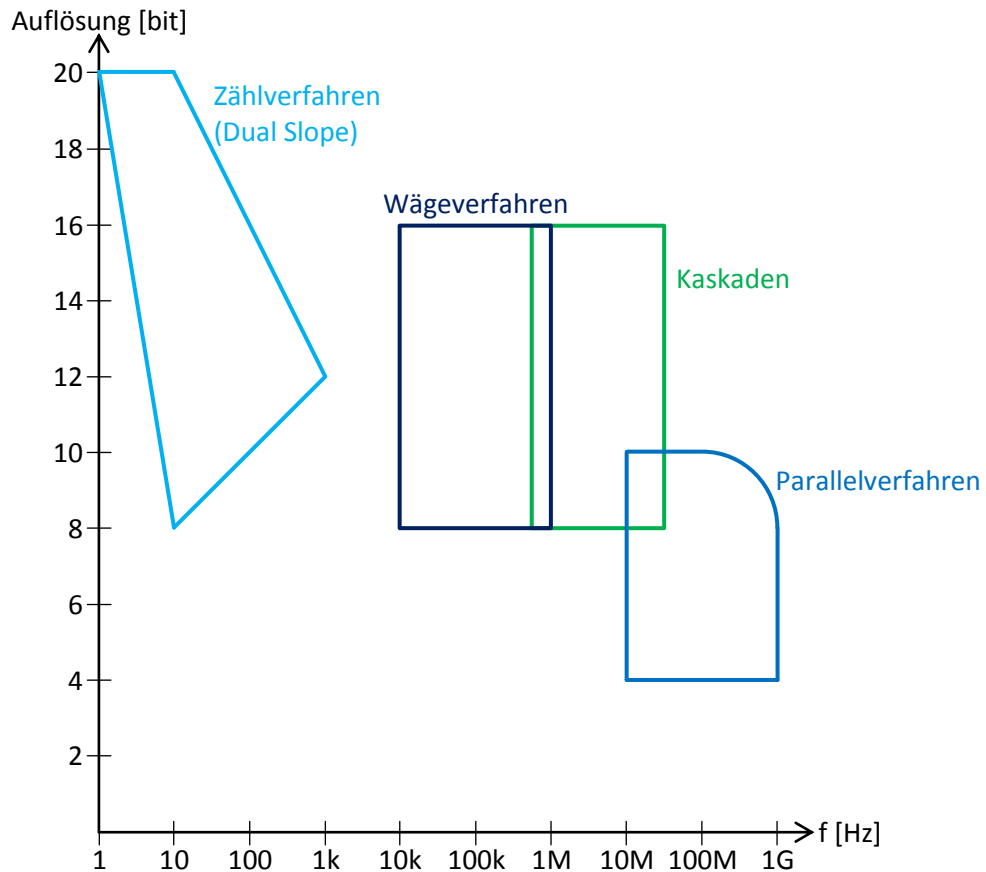
2.5 Grundprinzip A/D-Umsetzung

2.5.1. Allgemeines

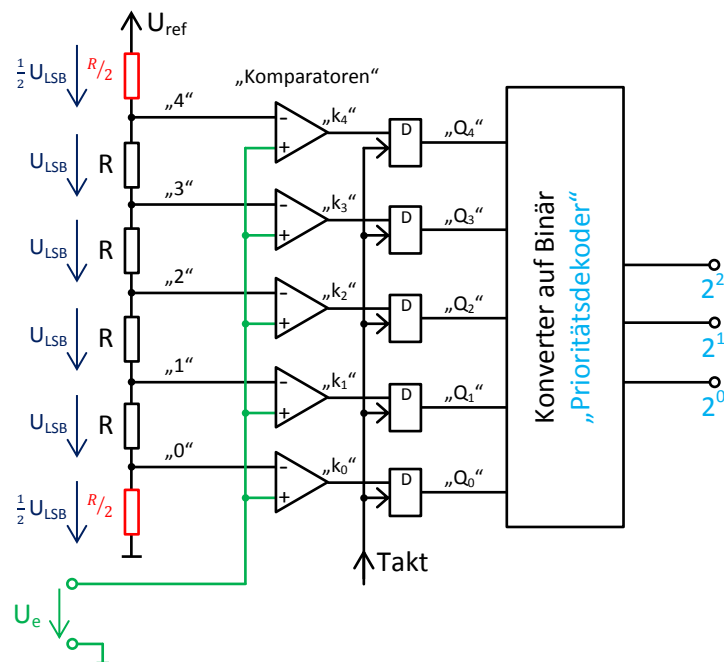
Man unterscheidet prinzipiell nach dem Verfahren der Umsetzung:

- Parallelverfahren: bei T ein word (Zahl)
- Wägeverfahren: bei T ein digit („Stelle einer Zahl“; Einer, Hunderter, ...)
- Zählverfahren: bei T einen Level

T.....Abtastzeitpunkt



2.5.2. Parallelverfahren

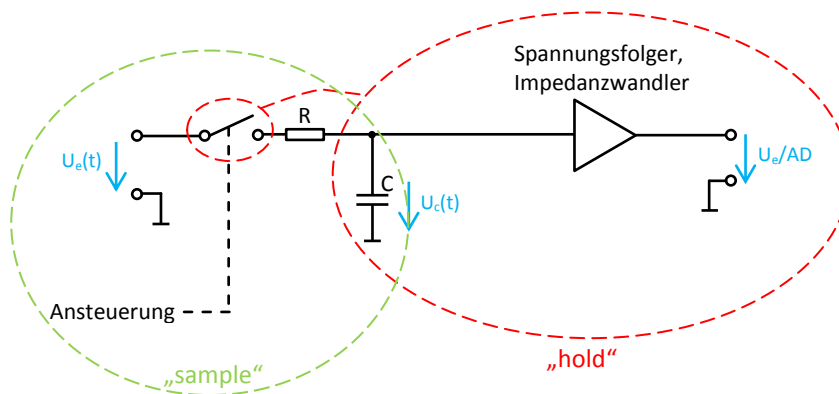


$$Z = \frac{U_e}{U_{LSB}} = \frac{Z_{MAX}}{U_{ref}} * U_e$$

Bsp.: $Z = Z_{MAX} * \frac{U_e}{U_{ref}} = 4 * \frac{U_e}{U_{ref}}$

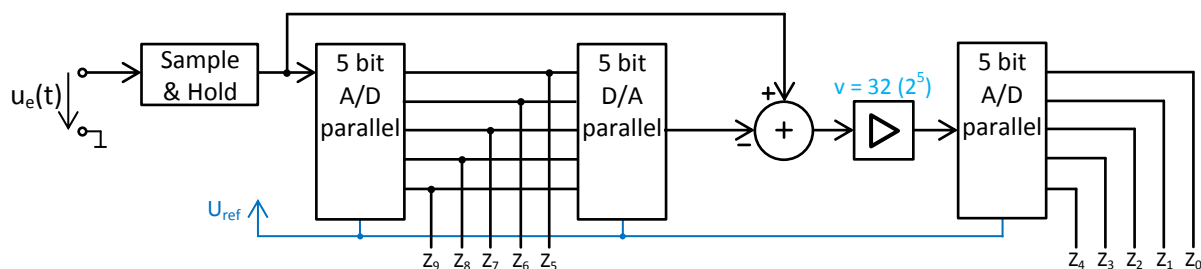
Das Eingangssignal wird an eine Reihe von Komparatoren angelegt (Anzahl der Stufen = Anzahl der Komparatoren) und mit den Teilspannungen des Referenzspannungsteilers verglichen. Ist die Eingangsspannung größer als die Teilspannung, so wird für die entsprechende Stufe der entsprechende Ausgang des Komparators k_x auf 1 gesetzt. Jede Stufe wird in einem Flip Flop gespeichert und es entsteht ein Word ($Q_0...Q_4$). Dieses Ergebnis wird in einem Prioritätsdekode in ein geeignetes Zahlenformat umgewandelt (Binär, 3bit).

sample & hold:



Solange der Schalter geschlossen ist, entspricht die Kondensatorspannung U_c dem aktuellen Momentanwert der Eingangsspannung (R & C sind entsprechend zu dimensionieren). Sobald der Schalter geöffnet wird, ist der zu diesem Zeitpunkt vorhandene Momentanwert der Kondensatorspannung „eingefroren“. Der Eingang der Spannungsfolgers ist extrem hochohmig, um das ausgewählte Spannungssample nicht zu verändern (C wird entladen). Am Ausgang des Impedanzwandlers wird der entsprechende Spannungswert ausgegeben und kann auch durch die nachfolgende Schaltung (A/D-Wandler) belastet werden. Ist die Konvertierung im A/D-Wandler abgeschlossen, kann ein neues / weiteres Spannungssample ausgewählt werden.

2.5.3. Kaskadenumsetzer



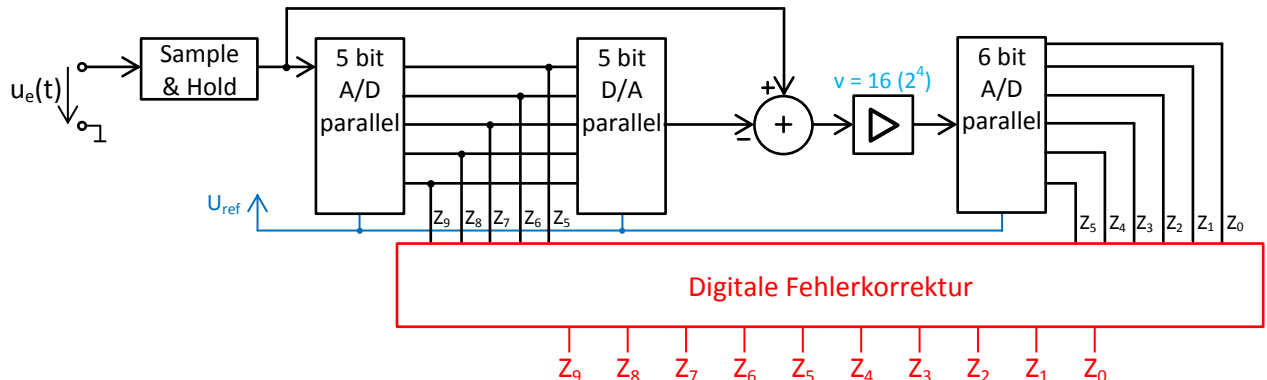
Der Nachteil des reinen Parallelverfahrens besteht darin, dass bei steigender Wortbreite auch die Zahl der Komparatoren ansteigt (10bit: 1023 Komparatoren). Wenn man die Wandlungsgeschwindigkeit reduzieren kann, kann man einen so genannten Kaskadenumsetzer verwenden, eine Kombination aus Parallelverfahren und Wägenderverfahren.

Bsp.: 10bit-Umsetzer:

In einem ersten Schritt werden die oberen 5 bit parallel umgewandelt, das Ergebnis stellt den grob quantifizierten Wert der Eingangsspannung dar ($Z_5...Z_9$). Dieser Wert wird mit einem D/A-Wandler in einen Analogwert rückgewandelt und vom Eingangswert abgezogen, der verbleibende Rest wird in einem 2. A/D-Wandler bearbeitet ($Z_0...Z_4$). Wenn man den Rest mit $32 (=2^5)$ verstärkt, haben die beiden A/D-Wandler den gleichen Eingangsspannungsbereich / die gleiche Referenzspannung. Nachteil: Die Genauigkeit der A/D-Wandler muss sehr hoch sein (5bit-A/D so genau wie 10bit A/D).

Die Anforderung an die A/D-Umsetzer einerseits eine hohe Linearität zu haben und andererseits für hohe Signalfrequenzen geeignet zu sein ist widersprüchlich. Der 2. A/D-

Wandler wird übersteuert, dadurch entstehen Fehler im Ausgangssignal (so genannte missing code).

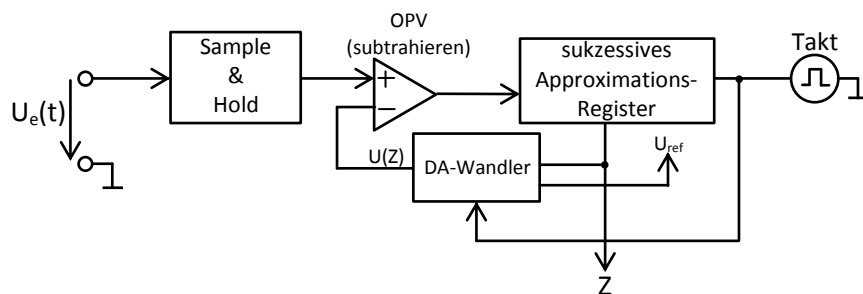


Dieses Problem lässt sich beseitigen, indem man die Verstärkung von 32 auf 16 reduziert und den Feinquantisierer statt 5bit mit 6bit realisiert. Mit dieser Lösung kann der Eingang des Feinquantisierers nicht mehr übersteuert werden, da Z_5' eine Bereichsüberschreitung anzeigt. Die Linearität wird dadurch verbessert und nur mehr der D/A-Wandler muss die volle 10bit-Genauigkeit aufweisen. Für die digitale Fehlerkorrektur muss zwischen Grob- & Feinquantisieren mindestens 1bit Unterschied sein.

$$Z = Z_{max} * \frac{U_e}{U_{ref}}$$

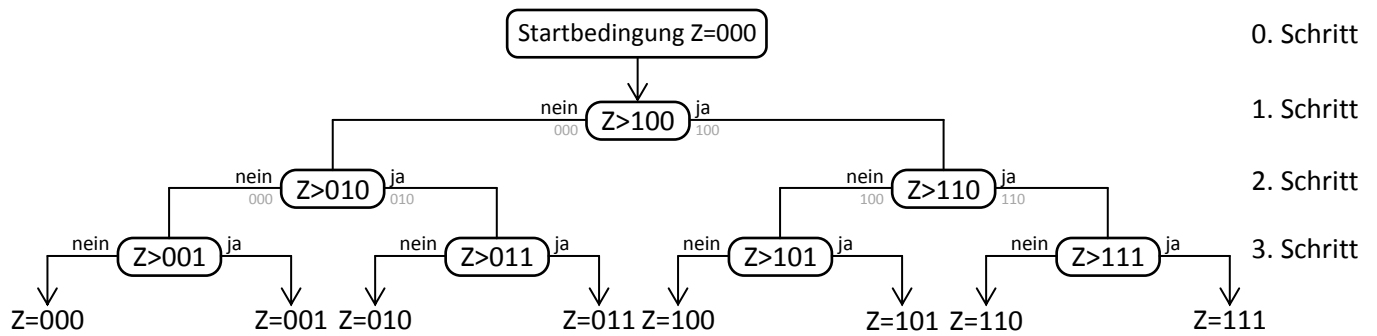
$$10\text{bit: } Z = 1023 * \frac{U_e}{U_{ref}}$$

2.5.4. Wägeverfahren



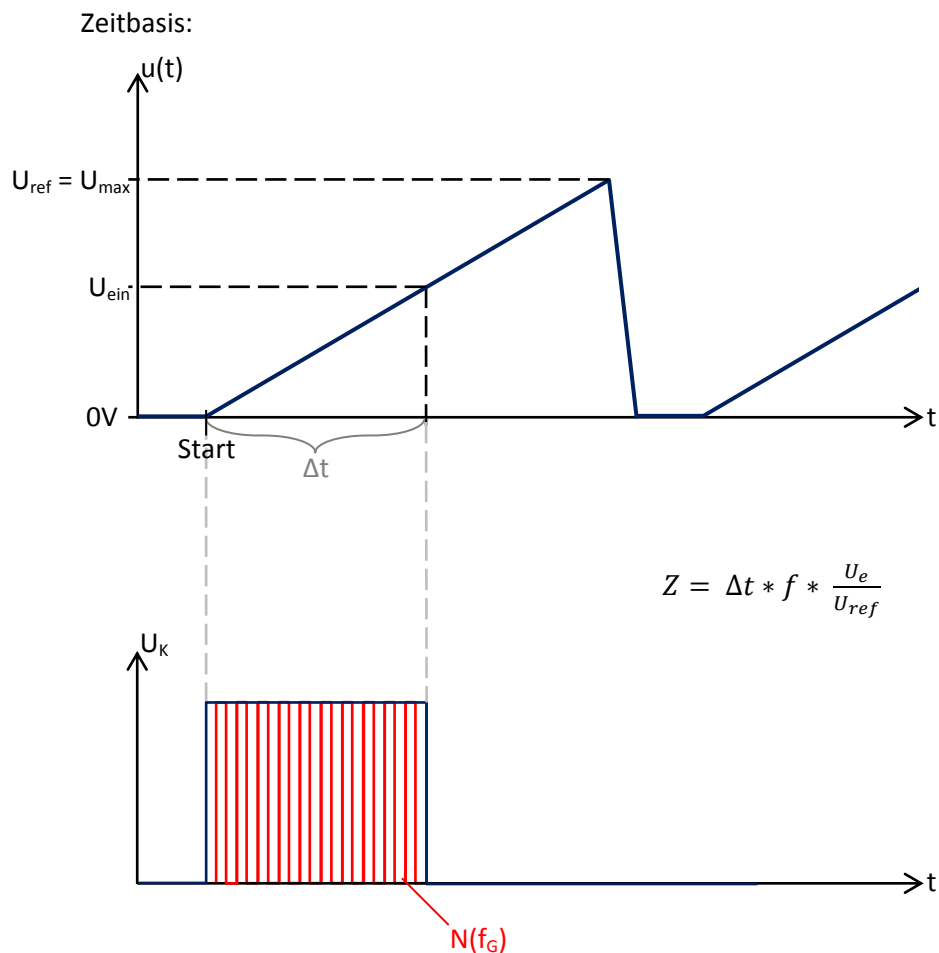
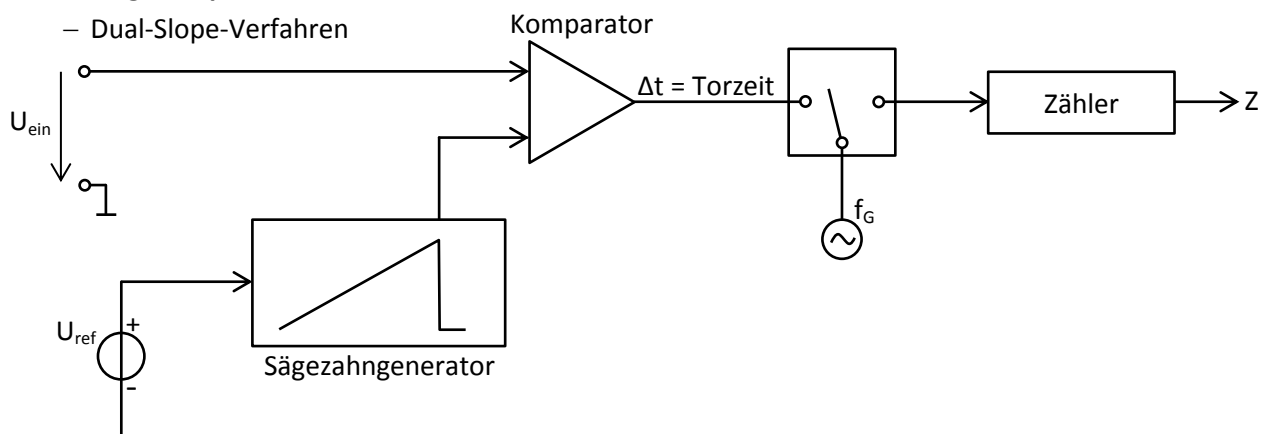
Während der Umsetzungsdauer wird mit der sample & hold Schaltung das ausgewählte Spannungssample konstant gehalten. Zu Beginn der Messung wird die Zahl auf 0 gesetzt. Anschließend wird das höchstwertigste Bit (MSB) auf 1 gesetzt und kontrolliert, ob die Eingangsspannung (Spannungssample) größer als $U(Z)$ ist. Ist das der Fall, so bleibt Z auf 1 gesetzt, andernfalls wird Z wieder gelöscht. Damit wurde das höchste Bit gewogen. Dieser Wägevorgang wird fortgesetzt für jedes einzelne Bit, bis schlussendlich auch das LSB feststeht. So entsteht im Approximationsregister eine Zahl, die nach der Umsetzung durch den D/A-Wandler eine Spannung ergibt, die innerhalb der Auflösung von U_{LSB} mit U_e übereinstimmt.

$$U(Z) = U_e = U_{ref} * \frac{Z}{Z_{max} + 1} \rightarrow Z = \frac{U(Z)}{U_{ref}} * (1 + Z_{max}) = \frac{U_e}{U_{ref}} * (1 + Z_{max})$$



2.5.5. Zählverfahren

- Kompensationsverfahren
- **Single-Slope-Verfahren:**
- Dual-Slope-Verfahren



2.5.6. Fehler

- Nullpunktsfehler: Abgleich $U_{\text{ein}}=0\text{V}$ -> Zahl = 0
2 Möglichkeiten der Behebung:
Bei $U_{\text{ein}}=0\text{V}$ Sägezahnkurve verschieben oder Generatorfrequenz korrigieren.
Der Vorgang des Nullpunktabgleiches wird bei einigen A/D Wandlern manuell durchgeführt, üblich ist jedoch ein automatischer Nullpunktabgleich.

Alle anderen Fehler wie bei D/A-Wandler.

3. Motoren

3.1. elektrische Maschinen

Eine elektrische Maschine dient der Energieumformung.

- Umformer: Umformer wandeln elektrische Energie in elektrische Energie um.
 - Transformator: AC -> AC, $f = \text{konstant}$
einphasig / mehrphasig
 - rotierende Umformer: AC -> AC, DC -> DC
AC -> DC, DC -> AC eventuell variable Frequenz
einphasig / mehrphasig
 - statische Umformer