

HTBLA Hollabrunn - Höhere Abteilung für Elektronik und Technische Informatik

Datum: 24.02.2016	3. Test	HWE	Aufgabe:	Wertung:	Bewertung:
Klasse: 5BHEL	Lehrer:	D U M	1	20	20
Note: 1	Wertungsskala: 0 - 50 Nicht genügend 51 - 62 Genügend 63 - 75 Befriedigend 76 - 89 Gut 90 - 100 Sehr gut		2	30	2+15+5+5
			3	15	15
			4	10	10
			5	25	22
			Summe:	100	84
Zeit: max. 15" + Vorber.	Schüler: Nöte Florian				

1) Erklären Sie kurz die Bedeutung der folgenden Begriffe in Worten im Zusammenhang mit der Befehlssatzarchitektur IA32.

- a) (5P) Virtuelle Adresse / Lineare Adresse / Physikalische Adresse
- b) (5P) Segmentierung
- c) (5P) Paging
- d) (5P) Auslagerungsdatei

a) Virtuelle Adresse: Adresse, die der Programmierer verwenden kann, kommt in untersch. Programmen öfters vor, wird erst durch Segmentierung/Paging einer "echten" physikalischen Adresse zugeordnet.

Lineare Adresse: Adressenach dem Segmentieren, ohne Paging ist dies die physikalische Adresse, mit wird diese in DIR, PAGE und OFFSET geteilt. Sie ergibt sich durch Basisadresse (aus Descriptortable + Offset)

Physikalische Adresse: Die Adresse, die wirklich im Hauptspeicher auf das gewünschte Speicherobjekt zeigt.

b) Segmentierung ist das Aufteilen der physikalischen Adressen in Segmente, sodass jedes Programm den gesamten 32 bit Adressraum virtuell zur Verfügung hat

c) Paging ist die Zerteilung der Segmente in Pages (kleine Kacheln), womit vor allem die Auslagerung performanter wird.

d) Die Auslagerungsdatei wird zum Auslagern von Segmenten ben. Pages aus dem Hauptspeicher in einen externen Speicher benötigt, falls dieser den Speicherplatz anders benötigt

2) Bei IA32 mit einer 32 Bit breiten linearen Adresse (10 Bit breites DIR-Feld und 4kiB große Pages) wird die physikalische Hauptspeicheradresse durch „Paging“ gebildet.

- (5P) Benennen Sie die drei Felder, welche die lineare Adresse bilden und geben Sie an, wie groß (in Bit-Breite) sie sind.
- (15P) Beschreiben Sie anhand einer Skizze, wie die physikalische Hauptspeicheradresse für einen maximal 4 GiB großen Speicher gebildet wird.
- (5P) Wie kann die CPU erkennen, dass eine Page nicht im Speicher vorhanden ist und wie nennt man den Vorgang, wenn auf eine nicht existente Page zugegriffen werden soll?
- (5P) Argumentieren Sie, warum ein Computer ohne Paging normalerweise nicht gut funktionieren wird.

$$\begin{aligned} 1k &= 2^{10} \\ 2k &= 2^{11} \\ 4k &= 2^{12} \end{aligned}$$

a) Lineare Adresse (32 bit):

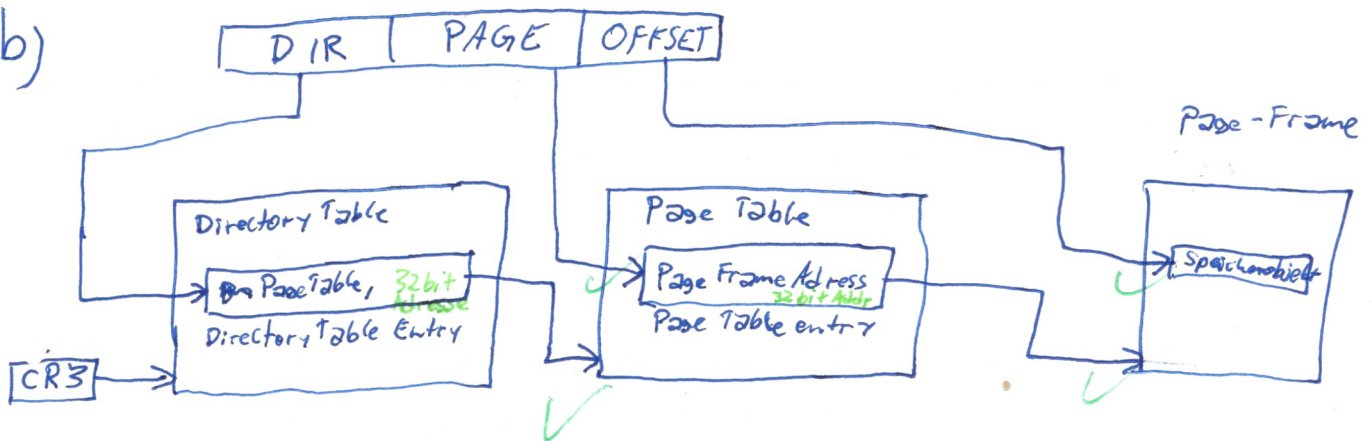
DIR (10 Bit)

PAGE (12 Bit)

OFFSET (10 Bit)

AF

b)



c) Bei dem (Directory Table Entry) bzw. Page Table entry finden sich neben den jeweiligen Table-Startadressen diverse Flags, u.a. auch, ob diese Page im Hauptspeicher vorhanden ist. wenn nicht $\rightarrow$ Page fault $\rightarrow$ aus Auslagerungsdatei laden

d) Es würden nicht die ^{gesamten} Segmente aller aktiver Programme in den Hauptspeicher passen $\rightarrow$ Davor muss umladen/nachladen aus Auslagerungsdatei

• Schnelleres nachladen wegen kleineren Kacheln (= Pages) anstatt gesamt Segmente

3) a) (5P) Bei einer typischen Anwendung für ein Parallelrechnersystemen mit p Prozessoren sei der parallelisierbare Anteil 96% der gesamten Rechenzeit T . Die Kommunikation der Prozessoren untereinander sei vernachlässigbar. Berechnen Sie die Kenngröße „Speed up“, wenn das Rechnersystem mit 4 Prozessoren ausgeführt wird.

b) (5P) Berechnen Sie die Effizienz für das 4-Prozessor System.

c) (5P) Um welchen Faktor würde sich die Performance theoretisch steigern, wenn unendlich viele Prozessoren eingesetzt würden.

$$SU = \frac{T_{alt}}{T_{neu}}$$

$$Perf = \frac{1}{T}$$

2) ✓

$$T_{neu} = \frac{T_{alt\ par}}{p} + T_{alt\ nicht\ par} \quad (1 + 0\%),$$

$$T_{neu} = \frac{96\% \cdot T_{alt}}{4} + 4\% \cdot T_{alt} = 24\% \cdot T_{alt} + 4\% \cdot T_{alt} = 28\% \cdot T_{alt}$$

$$SU = \frac{T_{alt}}{T_{neu}} = \frac{T_{alt}}{28\% \cdot T_{alt}} = \underline{\underline{3,57}} \quad \checkmark$$

b)

$$E = \frac{SU}{p} = \frac{3,57}{4} = \underline{\underline{0,8925}} \quad \checkmark$$

c) $T_{neu} = \left(\frac{96\% \cdot T_{alt}}{\infty} \right) + 4\% \cdot T_{alt} \rightarrow T_{neu} = 4\% \cdot T_{alt}$

Rechner mit $p=\infty$ würde 25x Performanter sein. ✓

4) In einer typischen Anwendung einer embedded CPU werden für Floating-Point-Berechnungen 75% der gesamten Rechenzeit verwendet. Durch Einsatz einer Spezial-Alu soll die neue Performance auf das Doppelte des alten Wertes gesteigert werden.

a) (5P) Formulieren Sie die Aufgabe in Bezug auf die Rechenzeiten der Anwendung.

b) (5P) Geben Sie das für die Lösung des Problems relevante Gesetz an und berechnen Sie, um welchen Faktor die Geschwindigkeit der Spezial-ALU bezogen auf die bisherige ALU gesteigert werden muss.

$$T_{float} = 75\% \cdot T$$

$$VF = 2$$

$$T_{neu} = \frac{T_{alt}}{2} \quad \checkmark$$

2) $T_{neu} = \frac{75\% \cdot T_{alt}}{2} + 25\% \cdot T_{alt} \cdot 2$

$$\frac{T_{alt}}{2} = \frac{75\% \cdot T_{alt}}{VF} + 25\% \cdot T_{alt}$$

b) Amdahl-Gesetz: $T_{neu} = \frac{T_{verbesserbar}}{\text{Verbesserungsfaktor}} + T_{nicht\ verbesserbar}$ ✓

$$\frac{T_{alt}}{2} \cdot VF = 75\% \cdot T_{alt} + 25\% \cdot T_{alt} \cdot VF$$

$$VF \cdot \left[\frac{T_{alt}}{2} - 25\% \cdot T_{alt} \right] = 75\% \cdot T_{alt}$$

$$VF = \frac{75\%}{\frac{1}{2} - 25\%} = \underline{\underline{3}} \quad \checkmark$$

5) Die Messung der Leistungsfähigkeit von Rechnern ist nicht nur für das Marketing sondern auch für den Vergleich von Rechenanlagen wichtig. In einem Test führt die CPU des Testsystems $N=2E10$ Befehle in $T=30,0$ Sekunden aus und wird mit einer Taktfrequenz von $f_{cy} = 500$ MHz betrieben. $\approx 2 \cdot 10^{-8} s$

a) (15P) Übersetzen Sie die Abkürzungen IPC, CPI, MIPS in Ihre Langform und berechnen Sie die Werte für die angegebene CPU.

b) (5P) Welche Speicherbandbreite SB in GByte/s ist erforderlich, wenn pro Befehl 6 Byte aus dem Cache-Speicher geholt werden müssen?

c) (5P) Angenommen der Cache-Speicher sei mit 16 Byte Busbreite an die CPU angebunden. Welche Zykluszeit dürfte der Speicher höchstens aufweisen, damit er die Daten immer ohne Wartezyklen liefern kann?

$$S_{req} (BA) = \frac{6 \text{ Byte}}{Inst}$$

$$2 \cdot 10^{10} \dots 30,0 s$$

$$\times \dots 2 \cdot 10^{-8}$$

$$2) IPC = \text{Instructions per Cycle} = \frac{4}{3} = 1,3$$

$$CPI = \text{Cycles per Instruction} = \frac{3}{4} = 0,75$$

$$MIPS = \text{Million Instructions per Second} = 666,6$$

$$\times \frac{30}{2 \cdot 10^{-8}} = 2 \cdot 10^{10}$$



(Der Textel)

$$b) S_{req} = \frac{6 \text{ Byte}}{Inst}$$

$$666,6 \cdot 10^6 \text{ Inst/s} \cdot \frac{6 \text{ Byte}}{Inst}$$

$$SB \left[\frac{\text{GByte}}{s} \right] = 666,6 \cdot 10^6 \frac{Inst}{s} \cdot 6 \frac{\text{Byte}}{Inst} = 4 \cdot 10^9 \text{ Byte/s}$$

Speicherbandbreite =

$$4 \frac{\text{GByte}}{s}$$

$$c) \cancel{6 \text{ Byte/Inst}}$$

$$6 \text{ Byte} \dots 1 \text{ Inst}$$

$$16 \text{ Byte} \dots 2 \text{ Inst}$$

$$\times \cdot \frac{6}{16} = 1$$

$$\times = \frac{8}{3} = 2,6$$

maximal 2,6 Instructions Zykluszeit, entspricht 5,3 ns

OK

Wahr?