

HÖHERE TECHNISCHE BUNDESLEHRANSTALT HOLLABRUNN

ABTEILUNG ELEKTRONIK UND TECHNISCHE INFORMATIK

Datum:	Art der Leistungsfeststellung:		Pos.:	Wertung	Bewert.	Pos.:	Wertung	Bewert.
27. März 2015	Test 3							
Klasse:	Gegenstand:	Gruppe:	1	20	20	9		
4BHEL	HWE	A	2	25	24	10		
Zeit:	Lehrer:		3	30	30	11		
20 min.	Dipl.-Ing. Wolfgang Bodner		4	25	25	12		
Note:	Name des Schülers:	Kat.Nr.:	5			13		
	Granssen		6			14		
	0 - 49 Nicht genügend		7			15		
	50 - 62 Genügend		8			16		
	63 - 75 Befriedigend		Summe 100 Punkte			99		
	76 - 89 Gut							
	90 - 100 Sehr Gut							

1. (20 Punkte) Bearbeiten Sie die folgende Aufgabenstellungen im Q-Format
(Darstellung rationaler Zahlen).

- a. (10 Punkte) Es sind die Formate „1.7“ (sQ7) und „4.4“ (s3Q4) gegeben.
Welchen Wertebereich kann man mit diesen Formaten abdecken.
- b. (10 Punkte) Ein Signal vom Typ „signed(7 downto 0)“ besitzt das Bitmuster
„10011100“ welchen Wert repräsentiert dieses Bitmuster in der „1.7“ (sQ7)
und „4.4“ (s3Q4) Darstellung.

a) 1.7: 1 Vorzeichen
7 Nachkommastellen $\Rightarrow$ Bereich -7 $\rightarrow$ +7 ✓

4.4: 1 Vorzeichen
3 Vorkomma
4 Nachkommastellen $\Rightarrow$ Bereich: ~~-8 bis +7~~
-8 $\rightarrow$ +7,9375 ✓

b) 1.7: 10011100 $\Rightarrow$ 1.7: $-7 + 2^{-3} + 2^{-4} + 2^{-5} = -0,78125$ ✓

4.4: 10011100 $\Rightarrow$ 4.4: $-8 + 2^0 + 2^{-1} + 2^{-2} = -6,25$ ✓

84

2. (25 Punkte) Erstellen Sie den Code eines Phasenschiebers. Das Eingangssignal PHASE ist vom Typ signed(15 downto 0). Es sollen 2 Ausgangssignale PHASE090 und Phase 270 mit einer Phasenverschiebung von $\pi/2$ und $3\pi/2$ erzeugt und ausgegeben werden. Das Entity besitzt zusätzlich folgende Steuereingänge SCKL (Systemclock), ENC (Clockenable), RST (Reset Async). Die Daten werden bei der neg. Flanke des Signals SCLK übernommen.

```
library IEEE;

use IEEE.STD_LOGIC_1164.ALL;
use IEEE.NUMERIC_STD.ALL;

entity BIPHASESHIFT is
    Port (SCKL : in STD_LOGIC;
          ENC : in STD_LOGIC;
          RST : in STD_LOGIC;
          PHASE : in signed(15 downto 0);
          PHASE090 : out signed(15 downto 0);
          PHASE270 : out signed(15 downto 0)
    );
end BIPHASESHIFT;

architecture Behavioral of BIPHASESHIFT is
```

begin

P1: process (SCKL, RST)

begin

if (RST = '1') then

Phase 090 <= (others => '0');

Phase 270 <= (others => '0');

elsif (sckl'event and sckl = '0' and ENC = '1') then

Phase 090 <= Phase + 16383;

Phase 270 <= Phase + 49151; - 16383;

end if;

end process P1;

end Behavioral;

3. (30 Punkte) Digital – Step – Attenuator, die Abschwächung des Eingangssignals INSIG vom Typ signed(15 downto 0) erfolgt in 6dB Schritten (Halbierung der Amplitude). Der Abschwächung kann mit dem Signal ATTEN in einem Bereich zwischen 0dB und 42dB eingestellt werden. Die Signalübernahme wird durch das Signal ENC (Enable Clock) und SCLK (System Clock) gesteuert und erfolgt bei der positiven Flanke von SCLK. Der asynchrone Reset wird durch das Signal NRST (Not Reset) gesteuert und ist low aktiv.

```
library IEEE;

use IEEE.STD_LOGIC_1164.ALL;
use IEEE.NUMERIC_STD.ALL;

entity STEP_ATTEN is
  Port (SCLK : in STD_LOGIC;
        ENC : in STD_LOGIC;
        NRST : in STD_LOGIC;
        ATTEN : in STD_LOGIC_VECTOR (2 downto 0);
        INSIG : in signed(15 downto 0);
        OUTSIG : out signed(15 downto 0));
end STEP_ATTEN;
```

architecture Behavioral of STEP_ATTEN is

begin

P7: process (sclk, nrst)

begin

if (nrst = '0') then

outsig <= (others => '0');

elsif (sclk'event and sclk = '1' and enc = '1') then

~~outsig <=~~

when

outsig <= shift_right (insig, (to_integer (unsigned (ATTEN))));

end if;

end process P7;

end Behavioral;

4. (25 Punkte) Für die Verwendung als Clock - Enable - Signal soll ein Tick - Generator mit steuerbarem Teilungsverhältnis als VHDL Code erstellt werden. Die Steuerung erfolgt durch das Eingangssignal DIVCTRL vom Typ std_logic_vector(1 downto 0), wobei das Bitmuster „00“ einem Teilungsverhältnis von 16, „01“ einem Verhältnis von 32, „10“ einem Verhältnis von 64 und „11“ einem Verhältnis von 128 entspricht. Neben dem System - Clock- Signal SCLK besitzt das Entity noch einen high aktiven asynchronen Reset (RST). Das Tick - Signal TSIG besitzt eine Pulsdauer mit der zeitlichen Länge der Periodendauer des Signals SCLK. Erstellen Sie den VHDL Code für den Tick - Generator.

Hinweis: Wird auf die Verwendung der „case“ Anweisung im Code verzichtet, so werden 10 Bonuspunkte zugeschlagen.

entity Tick is

port (divctrl : in std_logic_vector (1 downto 0);

sclk, rst : in std_logic;

tsig : out std_logic);

end Tick;

architecture Behave of Tick is

signal count : integer range 0 to 128;

P1: process (rst, sclk)

begin

if (rst = '1') then

count <= 0;

tsig <= '0';

elsif (sclk'event and sclk = '1') then

case divctrl is

when "00" =>

if (count = 16) then

count <= 0;

tsig <= '1';

else

count <= count + 7;

end if; tsig <= '0';

when "01" =>

if (count = 32) then

count <= 0;

tsig <= '1';

else

count <= count + 7;

tsig <= '0';

end if;

end if;

end if;

end if;

end if;

end if;

end if;

end if;

end if;

end if;

when "10" =>

if (count = 64) then

count <= 0;

tsig <= '1';

else

count <= count + 7;

tsig <= '0';

end if;

when "11" =>

if (count = 128) then

count <= 0;

tsig <= '1';

else

count <= count + 7;

tsig <= '0';

end if;

when others =>

count <= 0;

tsig <= '0';

end if;

end if;

end process P1;

end behave;

Seite 4 von 4

Beilage VHDL Konversionsfunktionen

Konversionsfunktion	ARG1	ARG2	Ergebnistyp
to_integer(ARG1)	unsigned signed	- -	integer integer
unsigned(ARG1)	signed std_logic_vector	- -	unsigned unsigned
to_unsigned(ARG1, ARG2)	natural	Anzahl der Bits im Ergebnis	unsigned
signed(ARG1)	unsigned std_logic_vector	- -	signed signed
to_signed(ARG1, ARG2)	integer	Anzahl der Bits im Ergebnis	signed
resize(ARG1, ARG2)	signed unsigned	Anzahl der Bits im Ergebnis	signed unsigned
to_bit(ARG1)	std_ulogic std_logic	- -	bit bit
to_stdulogic(ARG1)	bit	-	std_ulogic std_logic
to_bitvector	std_ulogic_vector std_logic_vector	- -	bit_vector
to_stdulogicvector(ARG1)	bit_vector std_logic_vector	- -	std_ulogic_vector
to_stdlogicvector	bit_vector std_ulogic_vector	- -	std_logic_vector

Beilage IEEE.Numeric Funktionsaufrufe in VHDL

Operator	Bedeutung	Beispiel	Synthesefähigkeit
<code>shift_left()</code>	Links schieben um N Bits	<code>Y <= shift_left(A,3)</code>	Synthesefähig; die höchstwertigen Bits gehen verloren, rechts wird mit Nullen aufgefüllt
<code>shift_right()</code>	Rechts schieben um N Bits	<code>Y <= shift_right(A,3)</code>	Synthesefähig; die niederwertigen Bits gehen verloren, links wird vorzeichenrichtig ergänzt.